



## 54 SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(11) 64-2345 (A) (51) 611989 (89) JP

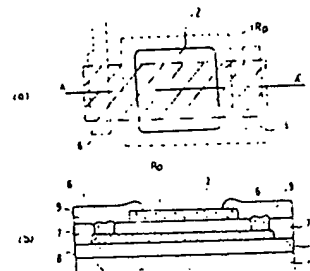
(12) Appl. No. 62-15824 (22) 24/6/1987

(71) FUJITSU LTD (72) TAKEO TATEMATSU

(51) Int. Cl. H01L27/04; H01L23/56

**PURPOSE:** To contrive an increase in the integration of an IC by a method where in a polycrystalline Si resistor is provided under a bonding pad to constitute a bonding pad part in a multilayer.

**CONSTITUTION:** A bonding pad part is constituted of a bonding pad 2 consisting of Al, a poly Si resistor  $R_p$ , Al wiring layers 6, insulating films 7 and 8, a covering insulating film 9 and a semiconductor substrate 10. Here, the resistor  $R_p$  is formed being held between the films 7 and 8 and the films 7 and 8 and the resistor  $R_p$  are arranged under the pad 2. Thereby, as the bonding pad part is formed in a multilayer, the gap between the pad 2 and the substrate can be made narrow remarkably compared to a case where the resistor  $R_p$  is arranged in the gap between the pad 2 and the substrate. As a result, a further increase in the density of a semiconductor chip and a further increase in the integration of the chip become possible.



257-553

**THIS PAGE BLANK (USPTO)**

## ⑫ 公開特許公報(A)

昭64-2345

⑪ Int. Cl.

H 01 L 27/04  
23/56

識別記号

庁内整理番号

H-7514-5F  
6918-5F

⑬ 公開 昭和64年(1989)1月6日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体集積回路装置

⑮ 特 願 昭62-158284

⑯ 出 願 昭62(1987)6月24日

⑰ 発 明 者 立 松 武 夫 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑱ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁 理 士 井 桁 貞 一

## 明 細 書

## 1. 発明の名称

半導体集積回路装置

## 2. 特許請求の範囲

入力保護回路用抵抗体が絶縁層を介してボンディングパッド下に配設されていることを特徴とする半導体集積回路装置。

## 3. 発明の詳細な説明

〔概要〕

保護回路を構成する抵抗体をボンディングパッドの下に配置する。そうすれば、半導体集積回路は一層高集積化できる。

〔産業上の利用分野〕

本発明は半導体集積回路装置(IC)の構成に関する。

IC、LSIなどの半導体集積回路は高速動作させるためにすべて高集積化、高密度化する方向

に技術開発が進められている。それは、高集積化・高密度化するほど、性能が向上するからである。従つて、比較的広い面積を占有する抵抗体などの配置が大きな課題であり、その合理的な構成が望まれている。

〔従来の技術〕

周知のように、ICはトランジスタやダイオードのような能動素子だけでなく、抵抗体やキャパシタのような受動素子も含まれて電子回路が構成されている。

従つて、トランジスタなどの能動素子を微細化するだけでなく、受動素子も微細化し、且つ、それらの素子相互間を接続する配線を出来るだけ短くするような配置が重要で、そのような合理的な配置がCAD(Coputer Aided Design)を使駆しておこなわれている。且つ、それは当然、受動素子を必要とする能動素子の近傍に、その能動素子に必要な受動素子を配置することになる。

ところで、このようなICには入出力端があり、

半導体チップ上に構成した集積回路と外部回路とを接続するためのボンディングパッドが設けられている。第3図はその半導体チップ1の平面図を示しており、2がボンディングパッドで、このボンディングパッドと上記半導体チップを収容したパッケージの導出端子とがボンディングワイヤー（図示せず）で接続されるが、出来るだけ短いボンディングワイヤーで接続するようにボンディングパッドはチップ周縁に配置されている。

しかし、一方、ICは消費電力が小さく、微弱な電力で動作することが大きな利点である反面、上記のような入出力端から外部の大きな電気、例えば、静電気が入出力端に入力すると直ちにICが破壊されてしまう弱点があり、このような静電気は数百ボルトの高圧で、人間の衣類からも容易に入力されるものである。

従つて、これら外部からの静電気による破壊が起ころないように、保護回路が入出力端、即ち、ボンディングパッドの近い位置に設けられていて、第4図はその保護回路の一例を示している。図中

の2は入出力端（ボンディングパッド）、 $R_p$ は多結晶シリコンからなる抵抗体、 $R_f$ は拡散層からなる抵抗体、3はアルミニウムゲートフィールドトランジスタ、4は保護トランジスタ、5は入出力回路である。このような保護回路はすべての保護回路が上記の2つの抵抗体と2つのトランジスタを具備しているわけではなく、1つの抵抗体と1つのトランジスタから構成される保護回路もあり、第4図は保護回路を構成するすべての素子を図示したものである。

〔発明が解決しようとする問題点〕

しかし、上記の保護回路を構成する抵抗体は抵抗体自体の絶縁耐圧を高めるために、最近、過電圧保護の点より多結晶シリコン抵抗体 $R_p$ が主体に用いられていることが多い。その多結晶シリコン抵抗体 $R_p$ を使用する場合、多結晶シリコン抵抗体 $R_p$ 自体が静電気による電流で溶断しないように幅広い多結晶シリコンで形成しており、そのように、幅広い抵抗体にすれば、単位長さ当りの抵抗値が

低くなるから長さも長くなつて、結果として、長さも長く幅の広い多結晶シリコン抵抗体 $R_p$ の形状になり、そのような大型の多結晶シリコン抵抗体 $R_p$ が配設されている。

更に、このような多結晶シリコン抵抗体 $R_p$ を含む保護回路はボンディングパッドの周囲に配置するのが静電気対策の点から得策で、実際に、半導体チップのボンディングパッド周囲部分に多結晶シリコン抵抗体 $R_p$ などの保護回路が設けられる。第5図はボンディングパッド2の周囲に多結晶シリコン抵抗体 $R_p$ （破線で示す）を配置した従来の構成を示しており、保護回路のうち、その他のトランジスタ3、4はこの多結晶シリコン抵抗体と比べると比較的小さいから余り問題にはならない。

第5図において、点線で囲んだ部分はボンディングパッド部2（実線で示す）を含むアルミニウム配線層6で、寸法的には、例えば、ボンディングパッドの広さが百 $\mu\text{m}$ 角、多結晶シリコン抵抗体の幅が70~80 $\mu\text{m}$ 程度のものである。そのため、ボンディングパッドの間隔が広くなつて、その結

果、半導体チップは大型化し、このように多結晶シリコン抵抗体はICの高集積度を阻害する大きな問題点である。

本発明はそのような問題点を低減させるICを提案するものである。

〔問題点を解決するための手段〕

その目的は、ボンディングパッドの下に抵抗体が配設されている半導体集積回路装置によつて達成される。

〔作用〕

即ち、多結晶シリコン抵抗体をボンディングパッドの下に設けて、多層に構成する。そうすれば、ICは一層集積度が向上する。

〔実施例〕

以下、図面を参照して実施例によつて詳細に説明する。

第1図は本発明にかかるボンディングパッド部

分の構成を示しており、同図(a)は平面図、同図(b)はそのA-A'断面図である。図中の記号は、2がアルミニウムからなるボンディングパッド、Rpが多結晶シリコン抵抗体、6がアルミニウム配線層(抵抗体Rpの電極部)、7、8は絶縁膜、9はカバー絶縁膜、10は半導体基板である。

このように、絶縁膜7、8に挟んで多結晶シリコン抵抗体Rpを形成して、ボンディングパッド2の下に配置する。そうすれば、多層に構成されるから、従来のボンディングパッド2の周囲、例えば、ボンディングパッド2の隙間に多結晶シリコン抵抗体Rpを配置していた従来の場合と比べて、その隙間を著しく狭めることができ、半導体チップの一層の高密度化、高集積化が可能になる。

また、第2図は本発明にかかる他の構成を示しており、本例は平面図のみ示し、図中の記号は第1図と同一部位に同一記号を付している。このような多結晶シリコン抵抗体は数百Ωから数キロΩの抵抗値をもつ抵抗体で、ボンディングパッド2の一辺の長さより長くなる場合があり、その場合

は第2図のようにボンディングパッド2の下で湾曲して抵抗体を形成すれば良い。

さて、上記に説明した実施例は多結晶シリコンからなる保護回路の抵抗体であるが、高融点金属シリサイドからなる抵抗体や拡散層による抵抗体を使用しても同様に構成して高密度化することができ、また、保護回路を設けないICの入出力端においても、例えば、入力端での入力抵抗を同様の構成で配置することができ、同様に高集積化ができる。

#### 〔発明の効果〕

以上の説明から明らかなように、本発明によれば大きな面積を占有する抵抗体をボンディングパッドの下に多層に構成して、ICの集積度向上に極めて有利なものである。

#### 4. 図面の簡単な説明

第1図(a)、(b)は本発明にかかるボンディングパッド部分の構成を示す図、

第2図は本発明にかかるボンディングパッド部分の他の構成を示す図、

第3図は半導体チップの平面図、

第4図は保護回路を示す図、

第5図は従来のボンディングパッド部分の構成を示す図である。

図において、

1は半導体チップ、

2はボンディングパッド(入出端)、

Rpは多結晶シリコン抵抗体、

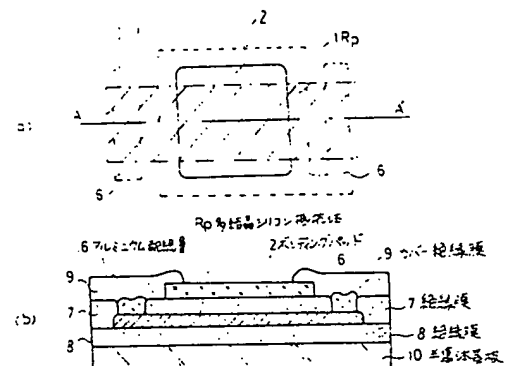
6はアルミニウム配線層、

7、8は絶縁膜、

9はカバー絶縁膜、

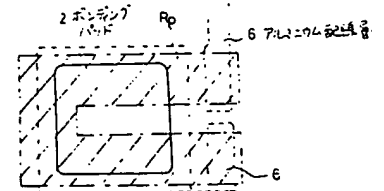
10は半導体基板、

を示している。



本発明にかかるボンディングパッド部分の構成を示す図

第1図

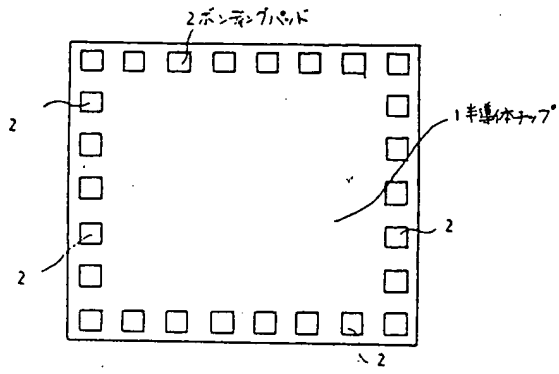


本発明にかかるボンディングパッド部分の他の構成を示す図

第2図

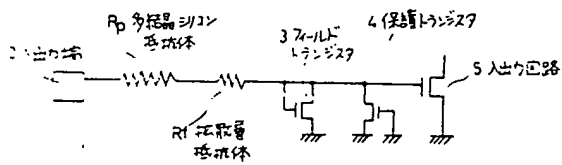
代理人 弁理士 井 術 貞





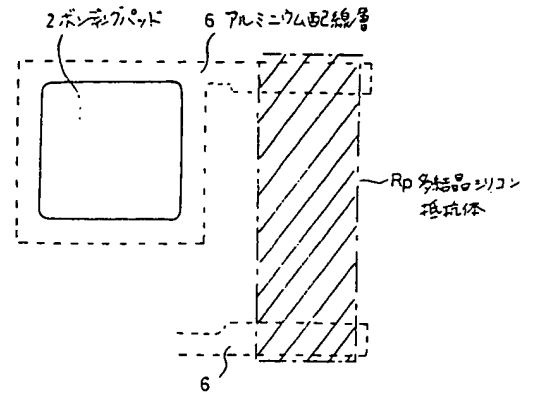
半導体チップの平面図

第 3 図



保護回路を示す図

第 4 図



従来のポリシリカパッド部分の構成を示す図

第 5 図